

日 本 国 特 許 庁
JAPAN PATENT OFFICE

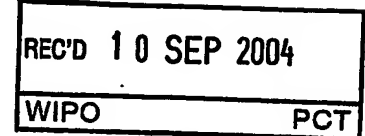
26.07.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 8 0 2 7 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 8 0 2 7 4]



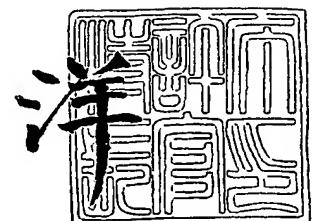
出 願 人 松下電器産業株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 8 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 5037940178
【提出日】 平成15年 7月25日
【あて先】 特許庁長官殿
【国際特許分類】 H03M 13/41
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 高木 信宏
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100105050
 【弁理士】
 【氏名又は名称】 鷺田 公一
【手数料の表示】
 【予納台帳番号】 041243
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9700376

【書類名】 特許請求の範囲**【請求項 1】**

入力符号に基づいて前時刻の状態から現時刻の状態に至るすべてのパスのブランチメトリックを算出するブランチメトリック演算手段と、

前記ブランチメトリック演算手段により算出された前記ブランチメトリックと与えられたパスメトリックとにより現時刻の各状態へ至るパスの中から選択した最も確実性の高いパスによって決定されるパスセレクト信号と現時刻の状態に至るまでに要したパスメトリックとを出力する A C S 演算手段と、

前記 A C S 演算手段より出力された前記パスメトリックを記憶するパスメトリック記憶手段と、

前記 A C S 演算手段から出力された前記パスセレクト信号を n ステート分だけ記憶するパスセレクト信号一時記憶手段と、

前記パスセレクト信号一時記憶手段に格納された前記パスセレクト信号を順に一連のトレースバック長分だけ記憶するパスセレクト信号記憶手段と、

前記パスセレクト信号記憶手段に記憶された前記パスセレクト信号に基づいて復号データを生成するトレースバック処理手段と、

を具備することを特徴とするビタビ復号器。

【請求項 2】

前記パスセレクト信号一時記憶手段は n ビットのパスセレクト信号用シフトレジスタを有し、前記パスセレクト信号用シフトレジスタが所定のビット位置より前記パスセレクト信号を入力することを特徴とする請求項 1 記載のビタビ復号器。

【請求項 3】

前記トレースバック処理手段は、前記パスセレクト信号記憶手段から読み出されたパスセレクト信号をシフトするバレルシフタと、前記バレルシフタより所定のビット位置にシフトされた 1 ビットを入力とする復号データ用シフトレジスタと、を有し、前記復号データ用シフトレジスタの入力ビット位置より入力符号の情報に応じた所定のビット位置までのビットの内容を変換して前記バレルシフタでの前記パスセレクト信号のシフト数を生成することを特徴とする請求項 1 又は請求項 2 記載のビタビ復号器。

【書類名】明細書

【発明の名称】ビタビ復号器

【技術分野】

【0001】

本発明は、畳み込み符号や受信信号の等化処理を行う最尤復号法に用いられるビタビ復号器に関する。

【背景技術】

【0002】

この種のビタビ復号器は、誤り訂正能力が高いことから、伝送経路誤りが生じやすい衛星通信及び移動体通信等の伝送方式における復号装置及び受信装置などの情報通信システムに用いられている。

【0003】

ビタビ復号は、受信データ系列と期待データ系列との差分（ブランチメトリック）を求める処理と、加算、比較及び選択という単純な処理（ACS）の繰り返し処理と、最終的にデータを復号するトレースバック処理と、で復号を実現するものである。このビタビ復号では、入力ビット1ビットに対応する符号化データを得るごとに、その時刻での各状態のパスの信号間距離を計算して、生き残りパスを求めている。

【0004】

例えば、符号化方式を畳み込み符号とする場合のビタビ復号の処理は、以下のように行われる。

【0005】

畳み込み符号は、入力ビットと、それに先行する一定数のビットとの排他的論理和により生成され、入力ビット1ビットに対応して複数の符号化データが生成される。この符号化データに影響を与える入力ビット（情報ビット）数のことを拘束長 K といい、その数は排他的論理和に用いられるシフトレジスタの段数に等しい。

【0006】

この符号化データは、入力ビットと先行する $(K-1)$ 個の入力ビットの状態とで定まる。この状態は、新たな入力ビットが入力されることによって新たな状態に遷移するが、遷移可能な状態は、新たな入力ビットが「0」であるか「1」であるかによって決定される。この状態数は、 $(K-1)$ 個のビットのそれぞれが「0」又は「1」を取り得るから (2^{K-1}) 個となる。

【0007】

ビタビ復号では、受信した符号化データ系列を観測し、取り得るすべての状態遷移の中から最も確からしい状態を推定する。そのため、このビタビ復号では、入力ビット1ビットに対応する符号化データを得るごとに、その時刻での各状態へのパスの信号間距離（メトリック）を計算し、同一状態に達するパスのうち、メトリックの小さいほうを生き残りパスとして残す。

【0008】

図7に、拘束長 K の畳み込み符号器において、時刻 t における状態 $S[2j]$ 及び $S[2j+1]$ に対し、1つ前の時刻 $t-1$ の状態 $S[j]$ と $S[j+m/2]$ とからの状態遷移を表す2本のパスがそれぞれ延びている様子を示す（ここで、 j は正整数）。

【0009】

図7において、パスメトリック $A1$ は、状態 $S[2j]$ に遷移される際に出力される期待データ系列と受信データ系列との信号間距離（ブランチメトリック $B1$ ）と、1つ前の時刻の状態 $S[j]$ までのパスメトリック $PM[j]$ との和である。

【0010】

同様に、パスメトリック $A2$ は、状態 $S[2j]$ に遷移される際に出力される期待データ系列と受信データ系列との信号間距離（ブランチメトリック $B2$ ）と、1つ前の時刻の状態 $S[j+m/2]$ までのパスメトリック $PM[j+m/2]$ との和である。

【0011】

こうして求めた、状態 $S[2j]$ に入力するパスメトリック $A1$ 、 $A2$ を比較し、小さいほうのパスを生き残りパスとして選択する。そして、選択したパスのパスメトリックを現時刻 t での状態 $S[2j]$ に至るまでのパスメトリックとして、パスメトリックを更新する。

【0012】

さらに、パスメトリック $A1$ 又は $A2$ の、どちらのパスが選択されたかという履歴を、パスセレクト信号 $PS[i]$ ($i = 0 \sim 2^K - 1 - 1$) として残しておく。このとき選択されたパスの1つ前の状態番号が、選択されなかった他方のパスの1つ状態番号よりも小さければ、 $PS[i] = 0$ とし、大きければ $PS[i] = 1$ とする。

【0013】

これらの処理を、状態数×トレースバック長だけの回数行なう。そして、状態数×トレースバック長だけのパスセレクト信号と最終時刻での状態数だけのパスメトリックとを得る。その後、これらの情報よりトレースバックを行なって、符号化データを復号していく。

【0014】

次に、トレースバック処理について図8を用いて簡単に説明する。図8は、拘束長を「3」、トレースバック長を「7」としたときの、前記状態数×トレースバック長だけの処理が終了した時点での各状態遷移の履歴を表したトレース線図である。但し、各状態間の線上の数値は、それぞれの状態遷移におけるパスセレクト信号を表し、実線で示されたパスが生き残りパスであるとする。このトレースバック処理では、まず、最終時刻における各状態でのパスメトリックを参照して、パスメトリックが最小となる状態を選択する。但し、符号化データの入力データ列に、テールビットとして既知のデータ列が付加されている場合は、このテールビットにより示される状態を一意的に選択する（本例では、 $S[00]$ が選択されているものとしている）。次に、選択された状態の最終時刻でのパスセレクト信号より1つ前の時刻での状態へ遡る。そして、このときのパスセレクト信号を復号データとして出力する。以下同様に、単位時刻ごとに、パスセレクト信号を基に、状態（図8に太い実線で示されたパス）を遡りながら、トレースバック長だけの復号データを出力する。これにより、符号化データ列を復号することができる（本例では、 $1 \rightarrow 0 \rightarrow 1 \rightarrow 1 \rightarrow 0 \rightarrow 0 \rightarrow 0$ ）。

【0015】

ところで、このビタビ復号器においては、拘束長を大きくする程、その誤り訂正能力が大きくなるが、拘束長を大きくすることにより処理量が増大する。そこで、従来の情報通信システムでは、高い誤り訂正能力を必要とする情報源を送信する場合には拘束長の大きな符号化方式を用い、ある程度の誤りが許容されるような情報源を送信する場合には拘束長の短い符号化方式を用いるなどしている。しかしながら、このような方式では、1つの情報通信システムにおいて、複数種類の拘束長により符号化された信号を復号する必要がある。

【0016】

一方、受信信号の等化処理を行なう場合には、伝送路の状況に応じて推定伝送路の係数の数を任意に変化させることで、より精度の高い等化処理を行なうことができる。しかし、このような精度の高い等化処理を行なうには、ビタビ復号器として、任意の推定伝送路の係数の数に対応することができる汎用性の高いものが求められる。

【0017】

特に、ビタビ復号法が用いられている移動体通信分野においては、電源に電池を使用して通信端末装置の携帯性を向上させているため、その低消費電力化が必須の条件となっている。

【0018】

このため、従来のビタビ復号器では、ブランチメトリックやパスメトリックの計算といった符号化の拘束長等によらない決まりきった処理は、専用ハード化を行なって低消費電力化を図っていた。また、パスセレクト信号からの復号や最尤判定といった拘束長により

処理フローが変わるような処理は、ソフトウェアによってなされていた（例えば、特許文献1参照）。

【特許文献1】特開平11-74800号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

ところで、移動体通信分野においては、通信端末装置の連続通話時間の拡大や、携帯性を高めるための電池容量の削減などが求められている。このような低消費電力の通信端末装置を実現するためには、任意の拘束長及び任意の係数の数に対応するビタビ復号器を消費電力の少ない小さな回路規模の専用ハードウェアで構成することが望ましい。

【0020】

しかしながら、従来のビタビ復号器においては、前述したように、ソフトウェアにより複雑な処理が行われていたため、その消費電力が大きく前記要求に応えることが難しいという問題がある。

【0021】

本発明は、かかる点に鑑みてなされたものであり、複数種類の拘束長及び任意の推定伝送路の係数の数に対応でき、かつ、小さな回路規模の専用ハードウェアにより構成することができる汎用性の高い低消費電力のビタビ復号器を提供することを目的とする。

【課題を解決するための手段】

【0022】

請求項1記載のビタビ復号器は、入力符号に基づいて前時刻の状態から現時刻の状態に至るすべてのパスのブランチメトリックを算出するブランチメトリック演算手段と、前記ブランチメトリック演算手段により算出された前記ブランチメトリックと与えられたパスメトリックとにより現時刻の各状態へ至るパスの中から選択した最も確実性の高いパスによって決定されるパスセレクト信号と現時刻の状態に至るまでに要したパスメトリックとを出力するACS演算手段と、前記ACS演算手段より出力された前記パスメトリックを記憶するパスメトリック記憶手段と、前記ACS演算手段から出力された前記パスセレクト信号をnステート分だけ記憶するパスセレクト信号一時記憶手段と、前記パスセレクト信号一時記憶手段に格納された前記パスセレクト信号を順に一連のトレースバック長分だけ記憶するパスセレクト信号記憶手段と、前記パスセレクト信号記憶手段に記憶された前記パスセレクト信号に基づいて復号データを生成するトレースバック処理手段と、を具備する構成を採る。

【0023】

この構成によれば、ビタビ復号器を小さな回路規模の専用ハードウェアで構成することができ、従来のDSPにて行なっていた場合に比べ低消費電力化を実現することができる。

【0024】

請求項2に記載のビタビ復号器は、請求項1記載の発明において、前記パスセレクト信号一時記憶手段はnビットのパスセレクト信号用シフトレジスタを有し、前記パスセレクト信号用シフトレジスタが所定のビット位置より前記パスセレクト信号を入力する構成を採る。

【0025】

この構成によれば、請求項1記載の発明の効果に加えて、符号化において使用されている拘束長、もしくは等化処理において考えられている推定伝送路の係数の数に応じて、前記パスセレクト信号を任意のビット位置より前記パスセレクト信号用シフトレジスタに書き込むことができる。これにより、前記拘束長、もしくは前記推定伝送路の係数の数によらず、一定の形式（例えば、下位ビット詰め形式）で前記パスセレクト信号を前記パスセレクト信号記憶手段に格納できる。従って、この構成においては、前記拘束長、もしくは前記推定伝送路の係数の数に応じた特別な処理が不要となり、ソフトウェアによる余分な処理が不要となる。

【0026】

請求項3記載のビタビ復号器は、請求項1又は請求項2記載の発明において、前記トレースバック処理手段は、前記パスセレクト信号記憶手段から読み出されたパスセレクト信号をシフトするバレルシフタと、前記バレルシフタより所定のビット位置にシフトされた1ビットを入力とする復号データ用シフトレジスタと、を有し、前記復号データ用シフトレジスタの入力ビット位置より入力符号の情報に応じた所定のビット位置までのビットの内容を変換して前記バレルシフタでの前記パスセレクト信号のシフト数を生成する構成を採る。

【0027】

この構成によれば、請求項1又は請求項2記載の発明の効果に加えて、前記パスセレクト記憶手段から読み出されたパスセレクト信号のうち、前記入力符号の情報（符号化において使用されている拘束長、もしくは等化処理において想定されている推定伝送路の係数の数）に応じて、任意のビット位置のパスセレクト信号を取り出すことができる。そして、この取り出されたパスセレクト信号を復号データ用シフトレジスタにシフトインすることができる。これにより、任意の拘束長あるいは推定伝送路の係数の、任意の数に対応したトレースバック回路を専用ハードウェアで実現することができる。

【発明の効果】**【0028】**

以上説明したように、本発明によれば、複数種類の拘束長及び任意の推定伝送路の係数の数に対応でき、かつ、小さな回路規模の専用ハードウェアにより汎用性の高い低消費電力のビタビ復号器を構成することができる。

【発明を実施するための最良の形態】**【0029】**

本発明の骨子は、選択されたパスによって決定されるパスセレクト信号をnスエート分だけ一時記憶し、この一時記憶したパスセレクト信号を順に一連のトレースバック長分だけ記憶したパスセレクト信号に基づいて復号データを生成することである。

【0030】

以下、本発明の一実施の形態に係るビタビ復号器について、図面を参照して詳細に説明する。

【0031】**（実施の形態1）**

図1に、本発明の一実施の形態に係るビタビ復号器100の構成を示す。このビタビ復号器100は、図1に示すように、ブランチメトリック演算装置101、ACS演算装置102、パスメトリック記憶装置103、パスセレクト信号一時記憶装置104、パスセレクト信号記憶装置105及びトレースバック処理装置106を備えている。

【0032】

図1において、ブランチメトリック演算装置101は、入力される符号化データについて、前時刻の状態から現時刻の状態に至るすべてのパスについてのブランチメトリックを演算して出力する。このブランチメトリック演算装置101により算出されたブランチメトリック101aは、ACS演算装置102に出力される。

【0033】

ACS演算装置102は、ブランチメトリック演算装置101より出力されたブランチメトリック101aと、パスメトリック記憶装置103から与えられたパスメトリック103aとにより、各状態へ至るパスの中から最も確からしいパスを選択する。そして、このACS演算装置102は、選択したパスがどの状態からのパスであるかを示すパスセレクト信号102aと、現時刻における各状態に至るまでに要したパスメトリック102bとを出力する。

【0034】

パスメトリック記憶装置103は、ACS演算装置102より出力されるパスメトリック102bを状態数分だけ記憶するメモリ領域を備えており、次時刻でのACS演算を行

なう際にACS演算装置102に対して入力するバスメトリック103aを出力する。

【0035】

パスセレクト信号一時記憶装置104は、ACS演算装置102により生成されたパスセレクト信号102aを、 n ステート分だけ記憶する。そして、このパスセレクト信号一時記憶装置104は、所用のステート分だけのパスセレクト信号が格納された後、 m ステート分 ($m \leq n$) のパスセレクト信号104aを出力する。このパスセレクト信号一時記憶装置104は、図2に示すように、所定のビット位置より入力することを可能としたセクタ（不図示）を備えたシフトレジスタで構成されている。このパスセレクト信号一時記憶装置104としてのシフトレジスタは、ビタビ復号を行なうシステムの符号化拘束長又は想定される推定伝送路の係数の数に応じて入力ビット位置を変更する。

【0036】

図2に示すパスセレクト信号一時記憶装置104は、8ステート分のパスセレクト信号を記憶するシフトレジスタである。このパスセレクト信号一時記憶装置104は、入力ビット位置は左側のレジスタより1番目、5番目、7番目、8番目のそれぞれのビット位置からパスセレクト信号を入力できる構成となっている。例えば、拘束長が「4」の生成多項式で符号化されたシンボルをビタビ復号器により復号する場合、1シンボル当たり「8」だけのステート数がある。そして、これらのステートを、それぞれ $S[0]$ 、 $S[1]$ 、…、 $S[7]$ とし、パスセレクト信号一時記憶装置104の左側から1番目のレジスタよりACS演算装置より生成された順 ($S[0]$ 、 $S[1]$ 、…、 $S[7]$) にパスセレクト信号を入力する。これにより、1シンボル分のパスセレクト信号が、パスセレクト信号一時記憶装置104のレジスタに、 $S[0]$ 、 $S[1]$ 、…、 $S[7]$ のパスセレクト信号が、右側のレジスタより順にそれぞれ格納される。

【0037】

また、このビタビ復号器100にて拘束長3の生成多項式で符号化されたシンボルを復号する場合は、1シンボル当たり4だけのステート数がある。そして、これらのステートを、それぞれ $S[0]$ 、 $S[1]$ 、 $S[2]$ 、 $S[3]$ とし、パスセレクト信号一時記憶装置104の左側から5番目のレジスタよりACS演算装置より生成された順 ($S[0]$ 、 $S[1]$ 、 $S[2]$ 、 $S[3]$) にパスセレクト信号を入力する。これにより、1シンボル分のパスセレクト信号が、パスセレクト信号一時記憶装置104のレジスタに、 $S[0]$ 、 $S[1]$ 、 $S[2]$ 、 $S[3]$ のパスセレクト信号が、右側のレジスタより順に格納される。

【0038】

また、ACS演算を並列に行なった場合は、同時に2つ以上のパスセレクト信号が生成される。そこで、この場合には、パスセレクト信号一時記憶装置104の複数ある入力ポートに同時に入力する。これにより、パスセレクト信号を記憶するために余分な処理サイクルが不要となり、一連のレジスタに所定のステートの順でパスセレクト信号を格納することができる。例えば、拘束長が「4」の生成多項式で符号化されたシンボルを、前半のステートと後半のステートとのACS演算を2並列で復号するとする。つまり、 $S[0]$ と $S[4]$ 、 $S[1]$ と $S[5]$ 、 $S[2]$ と $S[6]$ 、 $S[3]$ と $S[7]$ がそれぞれ同時に結果を出力するとする。この場合は、パスセレクト信号一時記憶装置104の左側から1番目と5番目のレジスタから同時に入力することで、4サイクルでパスセレクト信号一時記憶装置104のレジスタに、 $S[0]$ 、 $S[1]$ 、…、 $S[7]$ のパスセレクト信号が、右側のレジスタより順に格納される。同様に、拘束長が3の生成多項式で符号化されたシンボルを、前半のステートと後半のステートとのACS演算を2並列で復号するとする。つまり、 $S[0]$ と $S[2]$ 、 $S[1]$ と $S[3]$ がそれぞれ同時に結果を出力するとする。この場合は、パスセレクト信号一時記憶装置104の左側から5番目と7番目のレジスタから同時に入力することで、2サイクルで、パスセレクト信号一時記憶装置104のレジスタに、 $S[0]$ 、 $S[1]$ 、 $S[2]$ 、 $S[3]$ のパスセレクト信号が、右側のレジスタより順に格納される。

【0039】

以上のように、パスセレクト一時記憶装置104は、所定のビット位置より入力可能なシフトレジスタで構成されることにより、この種のシステムにおいて使用されている符号

化の拘束長によらず、一定のビット位置に一定のステートにおけるパスセレクト信号を格納することができる。

【0040】

パスセレクト信号記憶装置105には、パスセレクト信号一時記憶装置104から取り出したnステート分のパスセレクト信号104aが、一括もしくは複数回に分けて入力される。パスセレクト信号記憶装置105は、これらを1ワード単位として、トレースバック長分だけのパスセレクト信号を記憶する。そして、パスセレクト信号記憶装置105は、トレースバック処理装置106に、制御回路(不図示)より指定されたアドレスのパスセレクト信号105aを1ワード単位で出力する。

【0041】

トレースバック処理装置106は、図3に示すように、パスセレクト信号記憶装置105より読み出された1ワード単位分のパスセレクト信号105aを、シフトするためのバレルシフタ(BSH T)301を備えている。また、トレースバック処理装置106は、バレルシフタ301より所定のビット位置へシフトとされたビットを入力とする復号データ用シフトレジスタ302を備えている。さらに、この復号データ用シフトレジスタ302の入力ビット位置より入力符号の情報に応じた所定のビット位置までのビットの内容をデコードするデコーダ303を備えている。

【0042】

トレースバック処理は、ある1つの受信シンボルにおける全ステートのパスセレクト信号のうち、ある1つのステートのパスセレクト信号を選択することで復号を行なっている。このため、このトレースバック処理においては、符号化を行なった際の拘束長や、等化処理を行なう際の想定している推定伝送路の係数の数によって、ステートの数が異なってくる。

【0043】

そこで、このトレースバック処理装置106では、全ステートのパスセレクト信号のうち、ある1つのステートのパスセレクト信号を選択するためのバレルシフタ301の制御信号301aを、デコーダ303で生成するようにしている。つまり、トレースバック処理装置106は、デコーダ303により、入力符号の情報に応じて復号データ用シフトレジスタ302の入力ビット位置より所定のビット位置までのビットの内容をデコードするように構成されている。これにより、拘束長や推定伝送路の係数の数が変化した場合においても、ソフトウェアによる余分な処理を必要とすることなく、トレースバック処理による復号が可能となった。

【0044】

次に、前述のビタビ復号器100の動作について、図4及び図5に示すフローチャートを用いて説明する。但し、以下の説明では、受信シンボルが、畳み込み符号によって符号化されているものとする。

【0045】

図4に示すように、ビタビ復号器100は、まず、ST401において、時刻tでの符号化データを受信する。

【0046】

ビタビ復号器100が受信した符号化データは、ブランチメトリック演算装置101に入力される。そして、ステップST402において、状態番号Nでの受信期待値と受信した符号化データ系列のハミング距離あるいはユークリッド距離を求めることにより、時刻tにおける状態番号Nでのブランチメトリック101aを計算する。

【0047】

ここで、状態番号Nにおける受信期待値は、例えば、受信した符号化データが、図6に示すような畳み込み符号器600によって符号化されたものである場合、その状態番号Nは畳み込み符号器のシフトレジスタ601に保持されている値によって決定されるものである。そして、その符号化出力系列602は、畳み込み符号器600のシフトレジスタ601に保持されている値と、畳み込み符号器600への符号化入力603を排他的論理和

ゲート 604a~604c によって演算された値として求められたものである。このブランチメトリックの算出においては、受信期待値の生成を複数の状態に対して同時に行なうことで、ブランチメトリックを複数の状態番号もしくは畳み込み符号器 600 への符号化入力 603 の値が異なった場合に対して同時に算出することも可能である。

【0048】

次いで、ステップ ST403 においては、図 7 に示したようなバタフライ演算を行ない、ACS 演算を実行する。つまり、ステップ ST403 では、時刻 ($t-1$) から時刻 t に遷移する際の、時刻 t における状態番号 N に遷移しうる時刻 ($t-1$) での 2 つの状態でのパスメトリックと、ステップ ST402 において求められた時刻 t での状態番号 N でのブランチメトリックより ACS 演算を行い、パスメトリックとパスセレクト信号を出力する。このようにステップ ST403 では、生き残りパスを選択し、どちらのパスが選択されたかを示すパスセレクト信号 102a と、時刻 t での状態番号 N でのパスメトリック 102b とを出力する。このパスセレクト信号とパスメトリックとの算出においては、ACS 演算装置を複数個備えることで 2 つ以上の状態番号に対して同時に算出することが可能である。

【0049】

次いで、ステップ ST404 においては、ステップ ST403 において算出されたパスメトリック 102b を、時刻 t における状態番号 N でのパスメトリックとして、パスメトリック記憶装置 103 に記憶しておく。

【0050】

次に、ステップ ST405 においては、ステップ ST403 において算出されたパスセレクト信号をパスセレクト信号一時記憶装置 104 のシフトレジスタに格納する。このとき、符号化を行なった際の拘束長に応じて、パスセレクト信号一時記憶装置 104 へ入力するビット位置を変更する。これにより、システムにおいて使用されている符号化の拘束長によらず、一定のビット位置に一定のステートにおけるパスセレクト信号が格納することができる。但し、ステップ ST404 とステップ ST405 とについては順不同である。

【0051】

次いで、ステップ ST406 においては、時刻 t での全状態について終了と判断されるまで、ステップ ST402 から ST405 までの処理が繰り返される。

【0052】

次いで、ステップ ST407 においては、トレースバック長のデータ受信終了 $t=t$ と判断されるまで、ステップ ST402 から ST406 までの処理が繰り返される。

【0053】

次いで、図 5 に示すように、ステップ ST408 から ST410 においては、トレースバック開始状態番号が一意的に決められているかどうかを判断し、各状態のパスメトリックを参照してトレースバック開始状態番号を決定する。ここで、符号化データにテールビット等の既知のビットが存在する場合は、これらのビットによりトレースバック開始状態番号が決められるのでステップ ST410 に進み、トレースバック開始状態番号を決定する。符号化データにテールビット等の既知のビットが存在しない場合はステップ ST409 に進み、パスメトリック記憶装置 103 に記憶されている各状態におけるパスメトリックを参照し、トレースバック開始状態番号を決定する。

【0054】

次いで、ステップ ST411 においては、パスセレクト信号記憶装置 105 に記憶されている時刻 t のパスセレクト信号を読み出し、トレース開始位置に応じてその内容をバレルシフタによりシフトさせる。つまり、受信した最終時刻のシンボルにおけるパスセレクト信号をパスセレクト信号記憶装置 105 から読み出して、この内容をトレースバック開始位置に応じてバレルシフタによりシフトさせ、所定のビット位置のビットを得る。

【0055】

次いで、ステップ ST412 においては、ステップ ST411 において得られたバレル

シフタの出力（シフト結果）を、復号データ用シフトレジスタに代入する。

【0056】

次いで、ステップST413及びST414においては、先ほど読み出したパスセレクト信号が生成されたときから1時刻前のパスセレクト信号を、パスセレクト信号記憶装置105から読み出す。そして、このパスセレクト信号を、復号データ用シフトレジスタのうち符号化の拘束長に応じたビット位置までの内容に従って、バレルシフタによりシフトさせる。これによって、複数種類の拘束長に対応したビタビ復号におけるトレースバック処理が、ハードウェアによって実現される。

【0057】

次いで、ステップST415において、 $t=0$ であると判断されるまで、ST412からST414の動作が繰り返される。そして、受信したすべてのシンボル、もしくはトレースバック長だけのシンボルのトレースバック処理が終了することで、ビタビ復号が終了する。

【0058】

このように、本発明の一実施の形態に係るビタビ復号器100によれば、拘束長や推定伝送路の係数の数が増加した場合においても、ソフトウェアによる余分な処理を必要とすることなく、トレースバック処理による復号をすることができる。

【産業上の利用可能性】

【0059】

本発明に係るビタビ復号器は、複数種類の拘束長及び任意の推定伝送路の係数の数に対応でき、かつ、小さな回路規模の専用ハードウェアにより汎用性が高く低消費電力に構成することができるので、畳み込み符号や受信信号の等化処理を行う最尤復号法に用いられるビタビ復号器等として有用である。

【図面の簡単な説明】

【0060】

【図1】 本発明の一実施の形態に係るビタビ符号器の構成を示すブロック図

【図2】 本発明の一実施の形態に係るビタビ復号器におけるパスセレクト信号一時記憶装置の構成を示すブロック図

【図3】 本発明の一実施の形態に係るビタビ復号器におけるトレースバック処理装置の構成を示すブロック図

【図4】 本発明の一実施の形態に係るビタビ復号器におけるビタビ復号の動作を説明するための一部のフローチャート

【図5】 本発明の一実施の形態に係るビタビ復号器におけるビタビ復号の動作を説明するための他の部のフローチャート

【図6】 畳み込み符号方式による符号化回路の一例を示す回路図

【図7】 ビタビ復号器における符号の状態遷移のパスを示す状態遷移図

【図8】 ビタビ復号器における符号の状態遷移の一例を示すトレリス線図

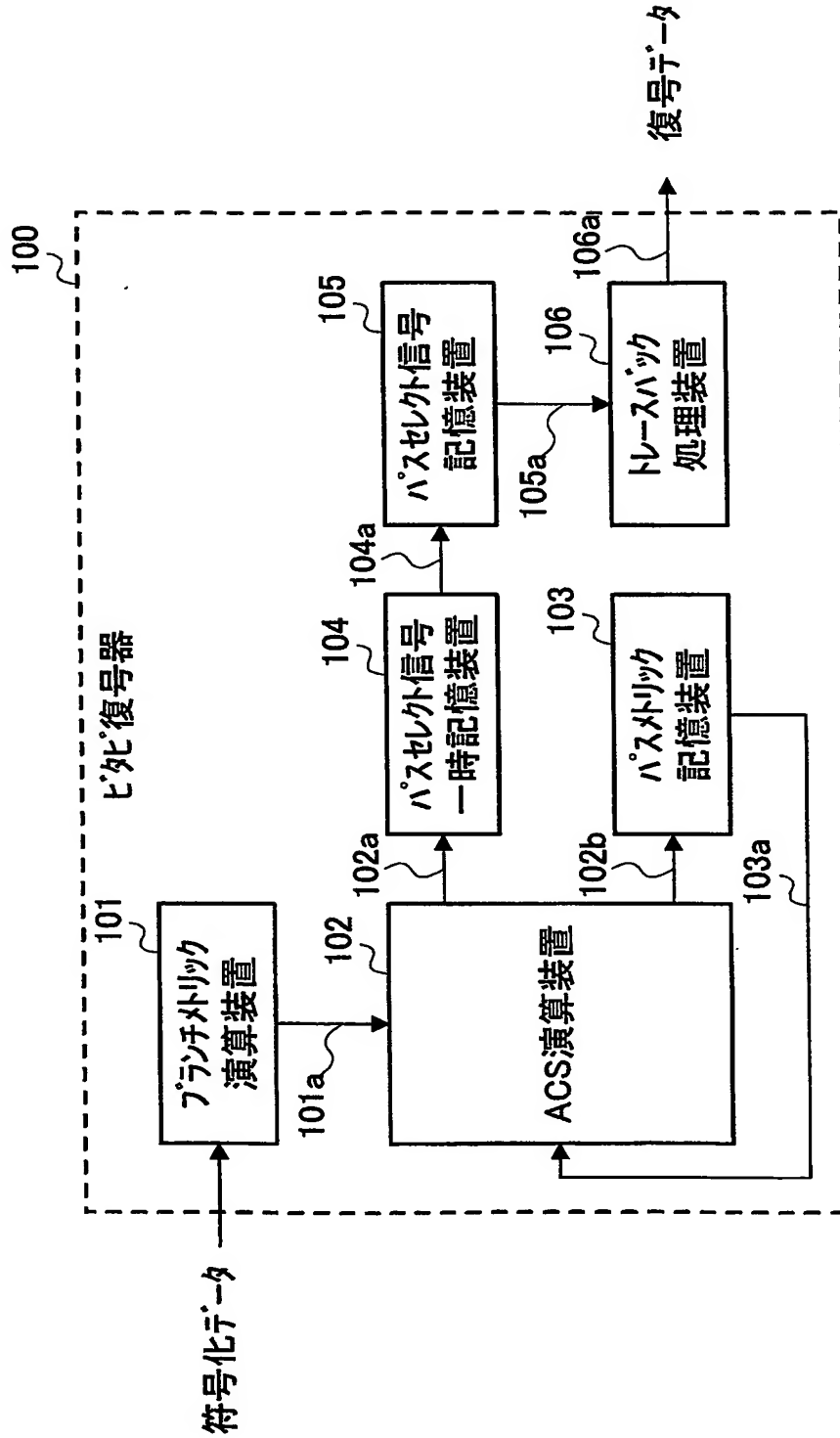
【符号の説明】

【0061】

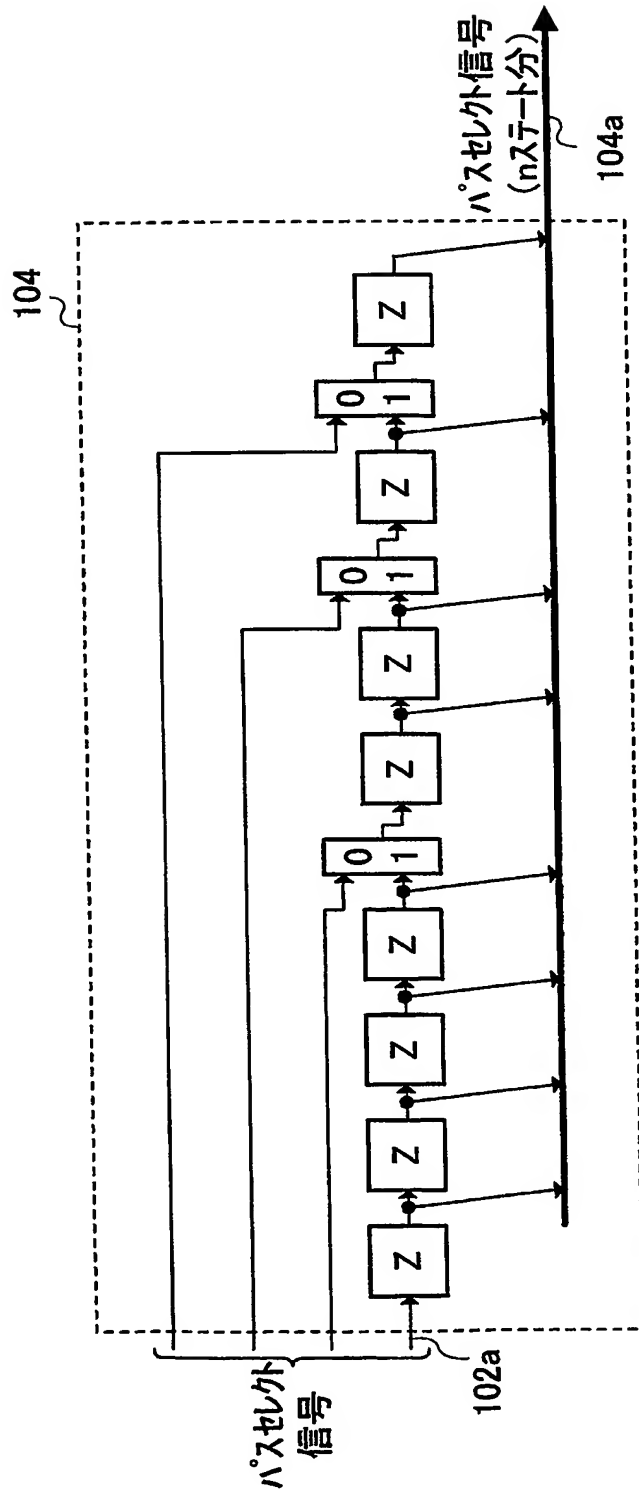
- 100 本発明のビタビ復号器本体
- 101 プランチメトリック演算装置
- 101a 現時刻でのプランチメトリック
- 102 ACS演算装置
- 102a 現時刻でのパスセレクト信号
- 102b 現時刻でのパスメトリック
- 103 パスメトリック記憶装置
- 103a 前時刻でのパスメトリック
- 104 パスセレクト信号一時記憶装置
- 104a nステート分のパスセレクト信号
- 105 パスセレクト信号記憶装置

- 1 0 5 a パスセレクト信号記憶装置より読み出されたパスセレクト信号
- 1 0 6 トレースバック処理装置
- 1 0 6 a トレースバック処理により復号されたデータ
- 3 0 1 バレルシフタ
- 3 0 2 復号データ用シフトレジスタ
- 3 0 3 デコーダ
- 6 0 0 畳み込み符号器
- 6 0 1 シフトレジスタ

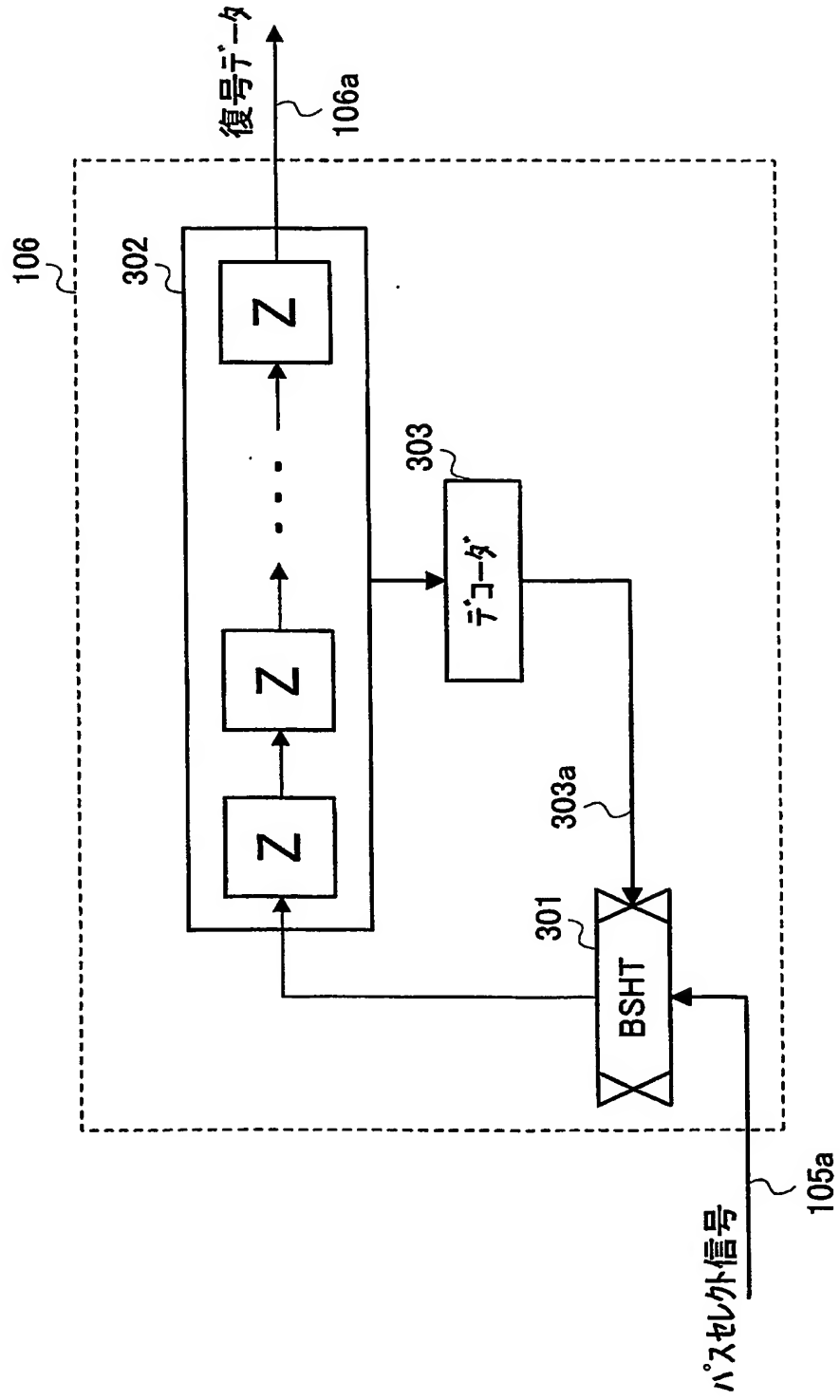
【書類名】 図面
【図 1】



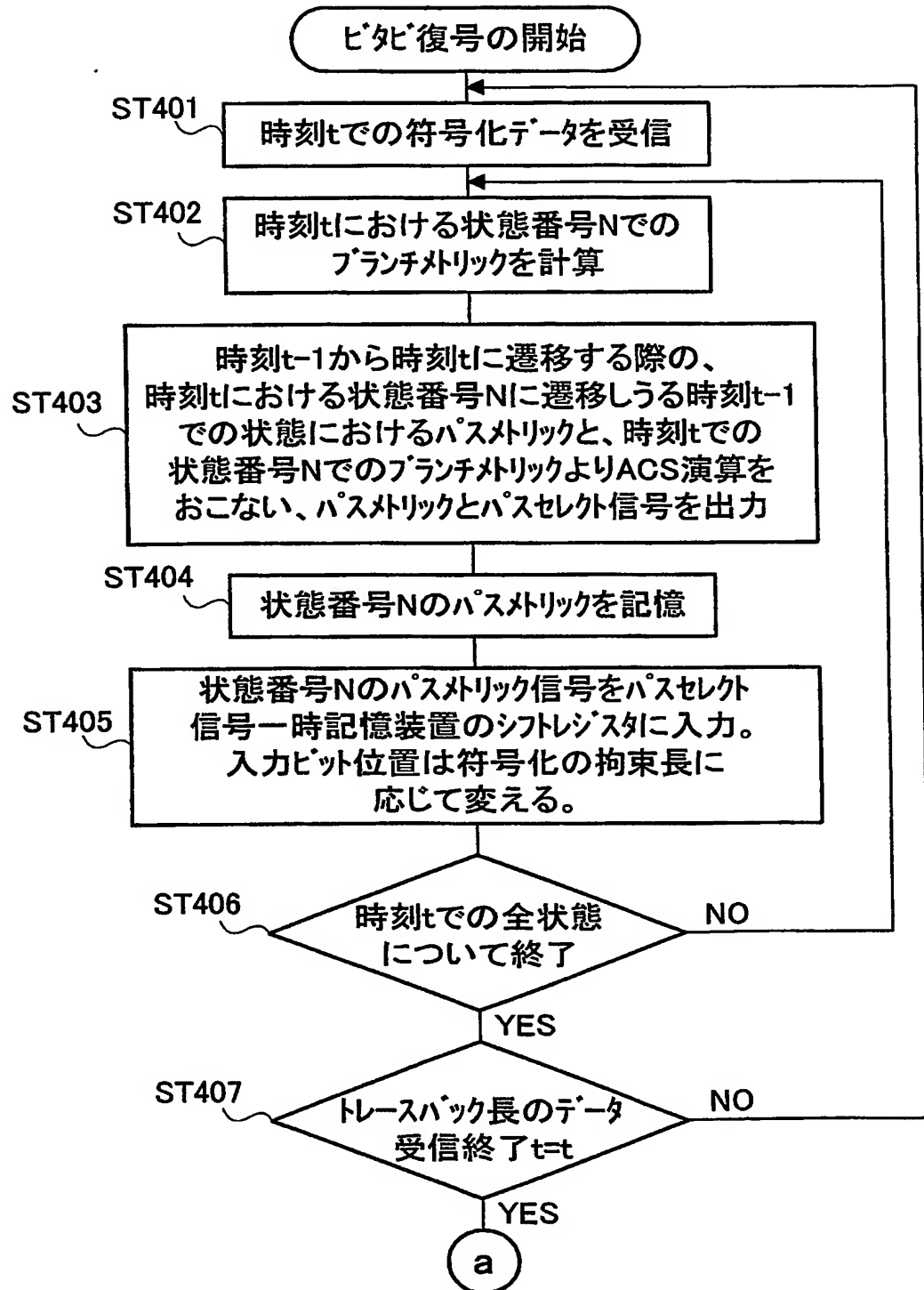
【図 2】



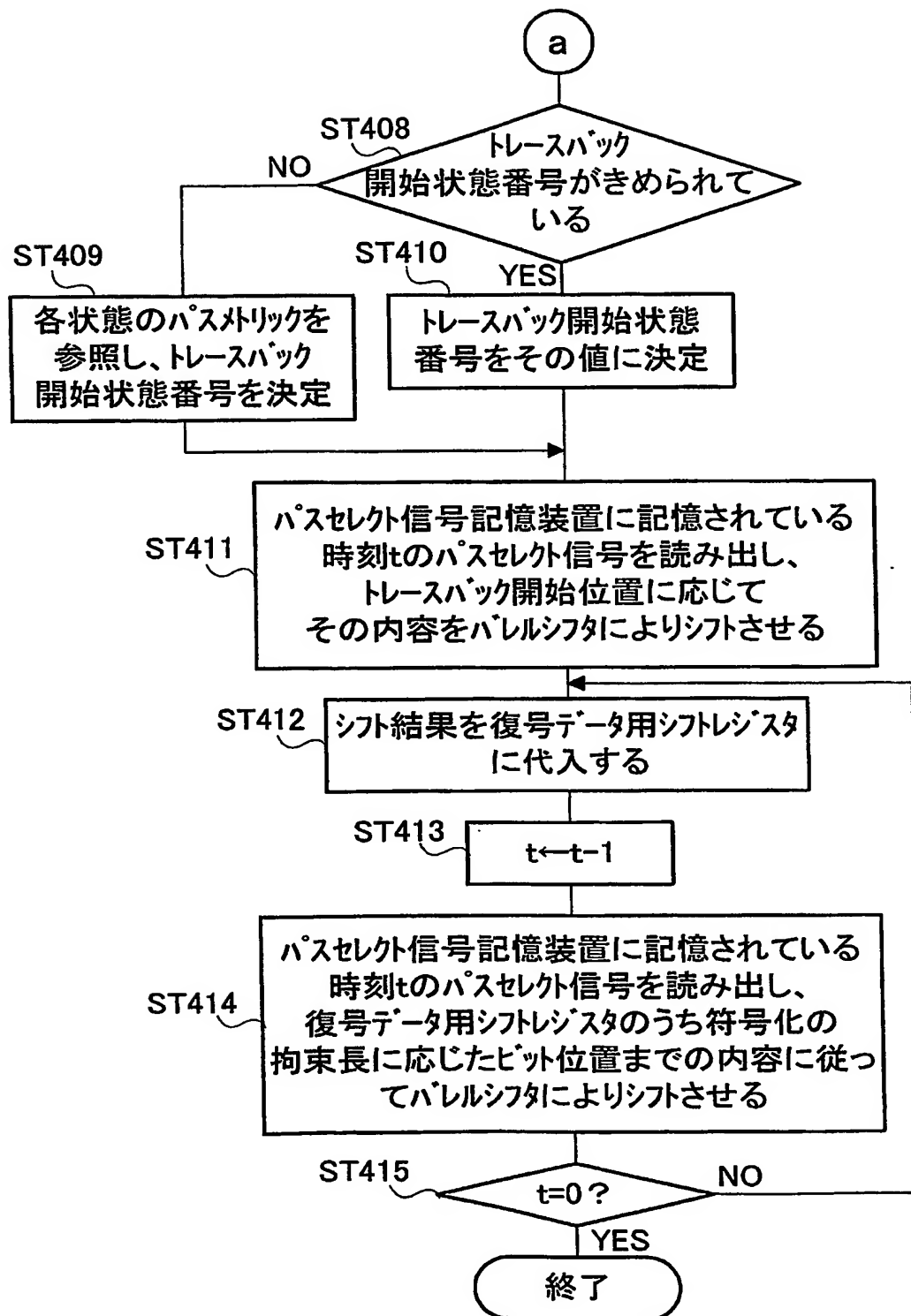
【図 3】



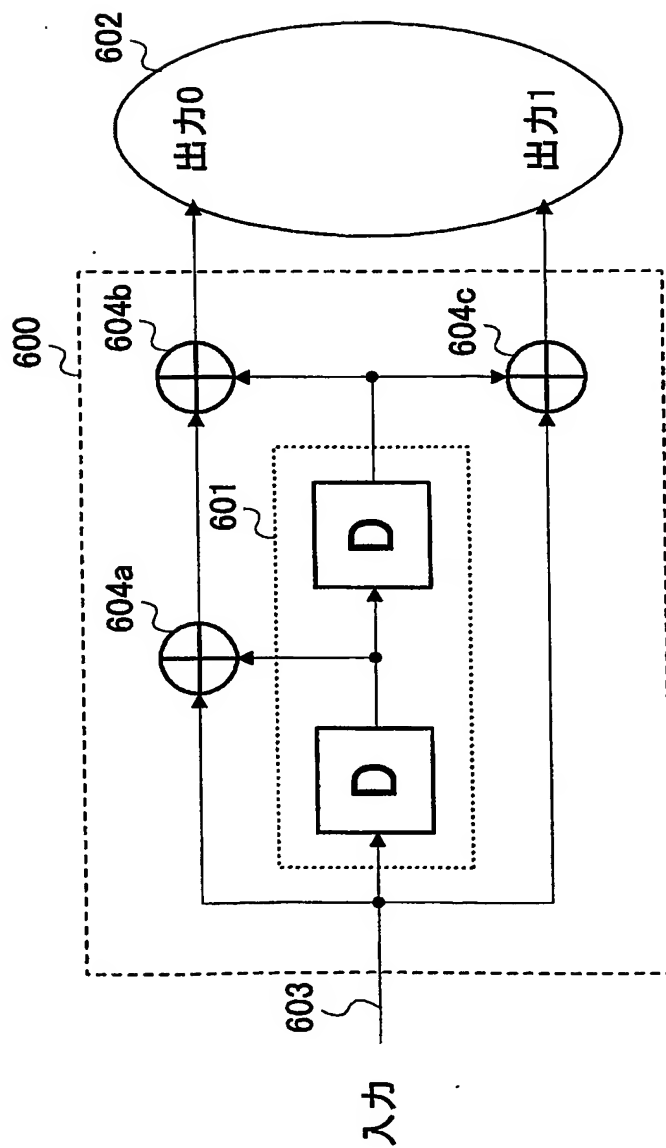
【図 4】



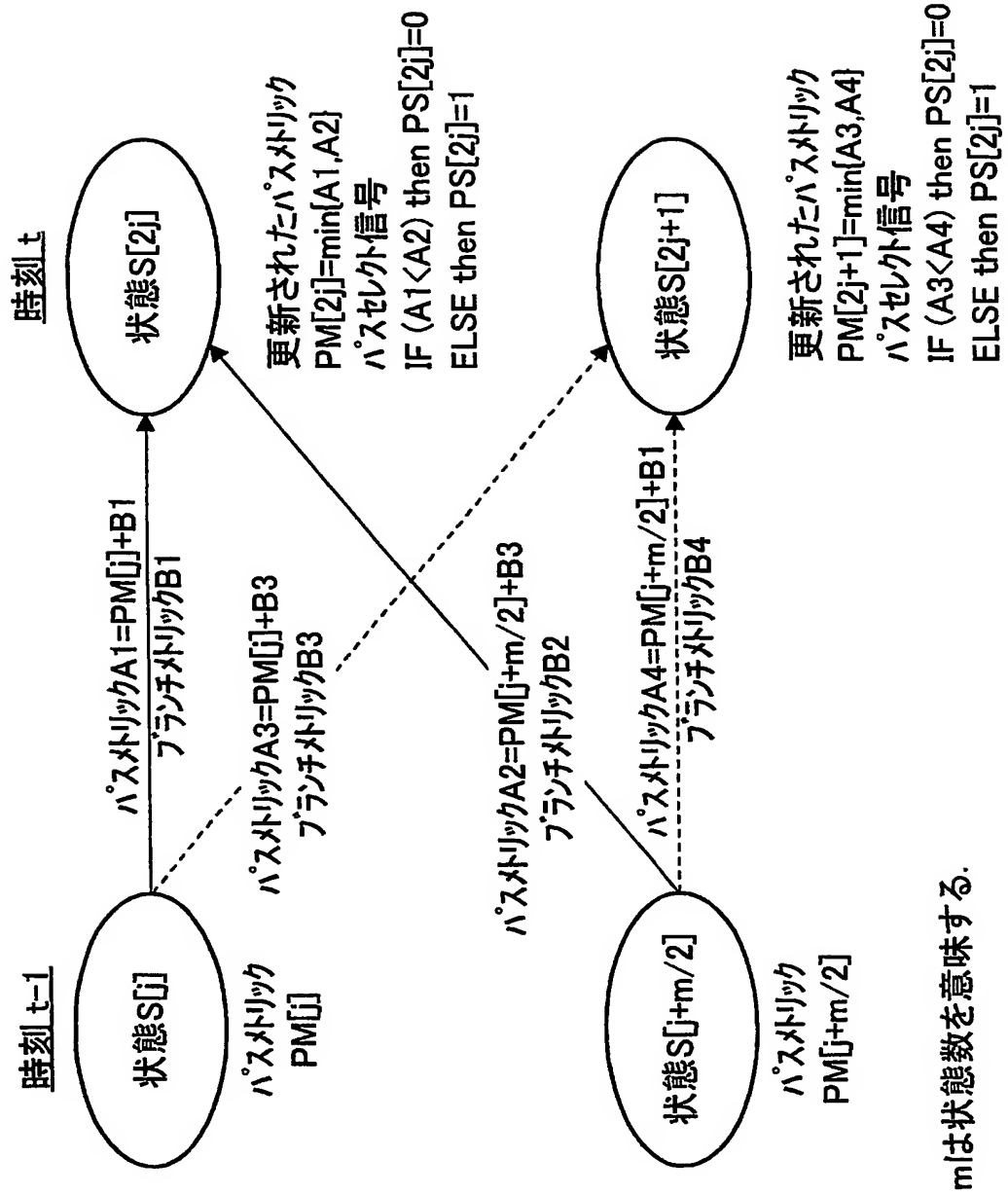
【図 5】



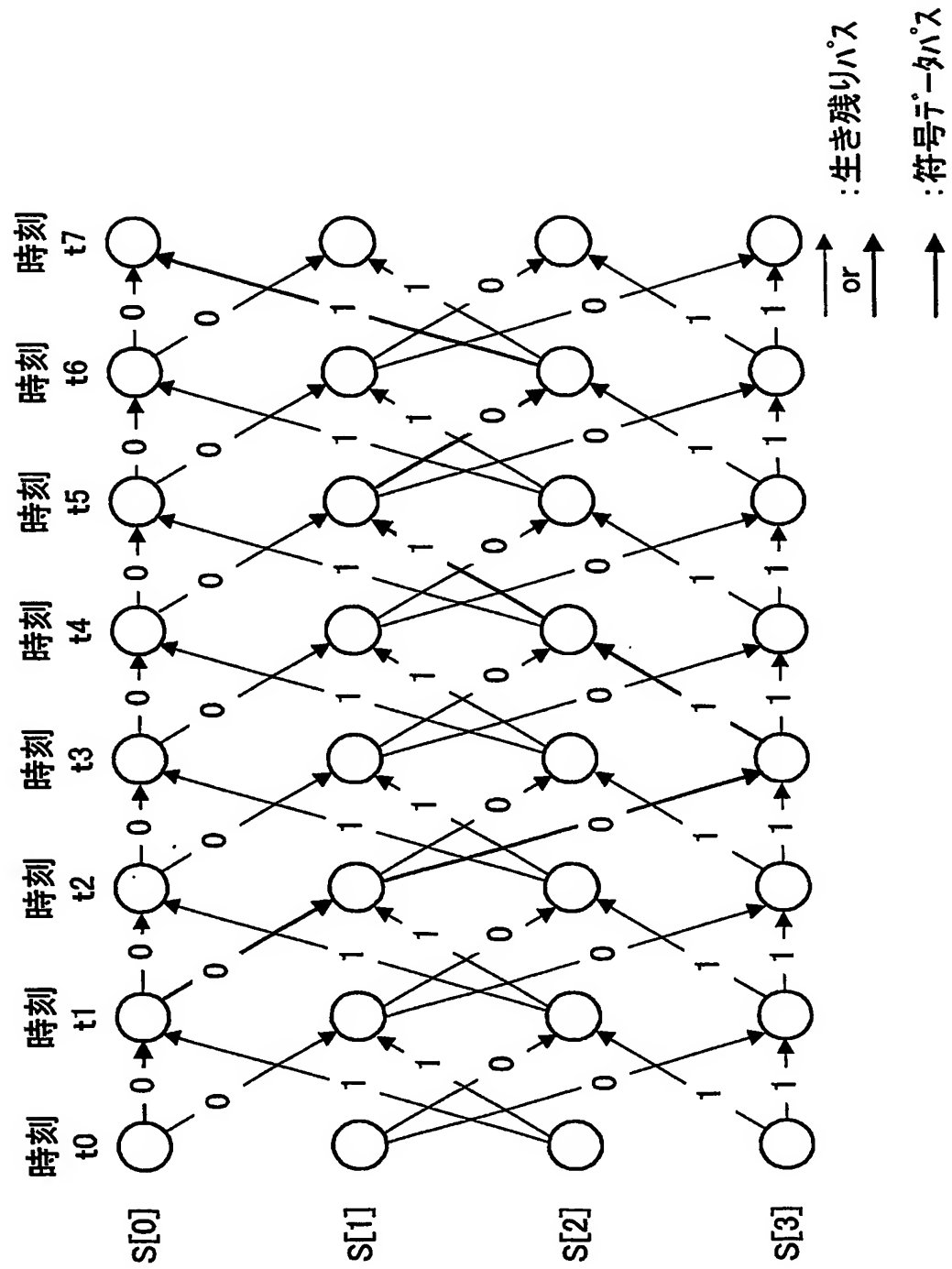
【図6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 複数種類の拘束長及び任意の推定伝送路の係数の数に対応でき、かつ、小さな回路規模の専用ハードウェアにより構成できるようにすること。

【解決手段】 前時刻の状態から現時刻の状態に至る全てのパスのブランチメトリックを演算し、ブランチメトリック 101a とパスメトリック 103a とにより各状態へ至るパスの中から最も確からしいパスを選択し、パスセレクト信号 102a とパスメトリック 102b とを出力する。パスメトリック記憶装置 103 は、次時刻での ACS 演算を行なう際に ACS 演算装置 102 に対して入力するパスメトリック 103a を出力する。パスセレクト信号一時記憶装置 104 は、パスセレクト信号 102a を n ステート分だけ記憶し、m ステート分 ($m \leq n$) のパスセレクト信号 104a を出力し、ビタビ復号を行なうシステムの符号化拘束長又は想定される推定伝送路の係数の数に応じて入力ビット位置を変更する。

【選択図】 図 1

特願 2 0 0 3 - 2 8 0 2 7 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 8 日

[変 更 理 由]

新 規 登 録

住 所

大 阪 府 門 真 市 大 字 門 真 1 0 0 6 番 地

氏 名

松 下 電 器 産 業 株 式 会 社